

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-142878

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

G02F 1/136

(21)Application number : 09-310299

(71)Applicant : SHARP CORP

(22)Date of filing : 12.11.1997

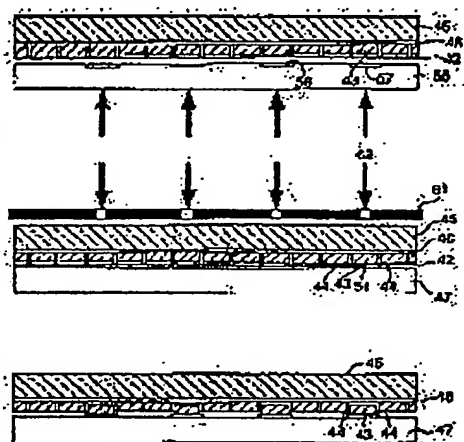
(72)Inventor : SHIMIZU MASABUMI

(54) FORMATION OF DISPLAY TRANSISTOR ARRAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To sharply reduce a manufacturing cost.

SOLUTION: Plural TFT elements 43 are formed on a 1st substrate consisting of a Si substrate at pitches dx/m , dy/n with respective element separation grooves 44 intervened. The dx and dy are array pitches of pixels and each of (m) and (n) is a natural number of ≥ 2 . A 2nd substrate 45 is stuck to the 1st substrate with UV peeling resin 46, and after removing the 1st substrate by etching, respective TFT elements 43 are separated. Only TFT elements 43 to be transferred are selectively stuck with adhesive resin 51, and selectively irradiated with ultraviolet rays 62 from the side of the 2nd substrate 45 to selectively be transferred to a 3rd substrate 47. Thus, the same selected TFT element 43 can be transferred to $(m \times n)$ pieces of panel substrates 47 while forming $(m \times n)$ times as many as a necessary number of TFT elements 43 on one piece of 2nd substrate 45, so that cost required for forming TFT elements 43 on the 1st substrate can be reduced approximately to become $1/(m \times n)$.



LEGAL STATUS

[Date of request for examination]

26.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-142878

(43) 公開日 平成11年(1999) 5月28日

(51) IntCl⁶

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数13 O L (全 13 頁)

(21) 出願番号 特願平9-310299

(22) 出願日 平成9年(1997)11月12日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 清水 正文

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 青山 森 (外1名)

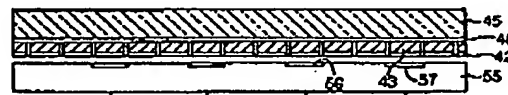
(54) 【発明の名称】 表示用トランジスタレイパネルの形成方法

(57) 【要約】

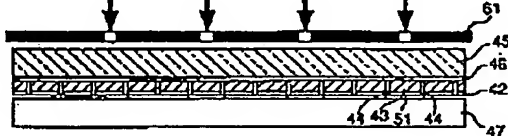
【課題】 製造コストの大幅な削減を図る。

【解決手段】 Si基板で成る第1の基板の上に、TFT素子43を素子分離溝44を隔ててピッチ dx/m 、 dy/n で形成する。 dx 、 dy は画素の配列ピッチであり、 m 、 n は「2」以上の自然数である。さらに、UV剥離樹脂46で第2の基板45を張り付け、第1の基板をエッチング除去した後各TFT素子43を分離させる。そして、第3の基板47に、接着樹脂51で転写対象のTFT素子43のみを選択的に接着させ、第2の基板45側から紫外線62を選択的に照射して転写対象のTFT素子43のみを第3の基板47に選択転写する。こうして、1枚の第2の基板45上に必要数の $(m \times n)$ 倍のTFT素子43を作成して、 $(m \times n)$ 枚のパネル用基板47に同一の選択転写を行うことができ、第1の基板の上にTFT素子43を形成するコストを概略 $1/(m \times n)$ にできる。

(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 基板上に、画素の一方方向への配列ピッチ dx を2以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を2以上の自然数 n で除した dy/n のピッチで素子を設ける工程と、
上記基板上に設けられた素子のうち、上記画素の配列ピッチ dx 、 dy に対応する素子のみを選択的に他の基板に転写する工程を備えたことを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項2】 第1の基板上に、画素の一方方向への配列ピッチ dx を2以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を2以上の自然数 n で除した dy/n のピッチで素子を形成する工程と、
上記第1の基板上に形成された素子を第2の基板上に全体転写する工程と、

上記第1の基板を除去して、上記素子を上記第2の基板上に孤立配列させる工程と、

上記第2の基板上に転写された素子のうち、上記画素の配列ピッチ dx 、 dy に対応する素子のみを選択的に表示用トランジスタアレイ用の第3の基板上に転写する工程を備えたことを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項3】 請求項1あるいは請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記素子が選択転写される基板上の位置には、上記素子が嵌合される凹部が形成されていることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項4】 請求項1あるいは請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記素子が選択転写される基板上の位置には、接着剤層が選択的に形成されていることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項5】 請求項1あるいは請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記素子は、順スタガ型の薄膜トランジスタであることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項6】 請求項1あるいは請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記素子は、逆スタガ型の薄膜トランジスタであることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項7】 請求項1あるいは請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記素子は、コプレーナ型の薄膜トランジスタであることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項8】 請求項5乃至請求項7の何れか一つに記載の表示用トランジスタアレイパネルの形成方法において、

上記素子は、配線交差部をも含んでいることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項9】 請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記第1の基板はシリコン基板であることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項10】 請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記第1の基板はガラス基板であることを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項11】 請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記第1の基板上の素子の上記第2の基板上への全体転写は、光によって接着力が低下する接着剤によって行

い、
上記第2の基板上の素子の上記第3の基板上への選択転写は、上記第2の基板の裏面から上記画素の配列ピッチ dx 、 dy に対応する素子の箇所への光照射によって転写の対象となる素子のみを選択的に上記第2の基板から剝離することによって行うことを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項12】 請求項2に記載の表示用トランジスタアレイパネルの形成方法において、
上記第1の基板上にフッ化水素酸に対して耐性を有する透明絶縁膜を形成し、この透明絶縁膜上に上記素子を形成することを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項13】 請求項12に記載の表示用トランジスタアレイパネルの形成方法において、
上記フッ化水素酸に対して耐性を有する透明絶縁膜は、酸化タンタル膜あるいはダイヤモンド膜の何れ一方であることを特徴とする表示用トランジスタアレイパネルの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、薄膜トランジスタ(以下、TFTと言う)等のスイッチング素子を有して、ディスプレイに使用される表示用トランジスタアレイパネルに関する。

【0002】

【従来の技術】 従来、コンピュータやテレビジョン装置等のディスプレイに使用される表示用トランジスタアレイパネルの形成方法として、特開平1-38727号公報(以下、従来例1と言う)やUSP5438241(以下、従来例2と言う)に開示されているようなものがある。この表示用トランジスタアレイパネルの形成方法では、シリコン単結晶基板上に単結晶シリコンのTFTアレイを形成し、これを別のパネル用ガラスあるいは透明有機フィルム基板上に転写して表示用トランジスタアレイ

パネルを得ている。

【0003】上記従来例1では、単結晶シリコン薄膜にTFTアレイおよび周辺回路を形成し、ガラス基板上にこの単結晶シリコン薄膜の各辺を互いに密着させて複数枚を平面的に敷き詰めて広い面を得ている。また、従来例2では、SOI技術を使用して第1の基板上に酸化物を介して薄いシリコン単結晶フィルムを形成し、このシリコン単結晶フィルム上にTFTアレイを作成する。続いて、このTFTアレイをガラス等の第2の透明絶縁基板上に転写し、上記シリコン単結晶フィルムが形成された上記基板全体を除去することで第1の転写プロセスを完了する。また、必要な場合には第2の転写プロセスに移行し、第3のディスプレイパネル基板上に転写して表示用TFTアレイパネルとしている。

【0004】ここで、上記シリコン単結晶フィルムが形成された基板全体を除去する方法には、図10に示すような基板とデバイスとの間に剥離層を設けエッチングによって剥離層を除去する方法、あるいは、図11に示すような基板全体をエッチバック工程によってエッチ除去する方法がある。

【0005】上記基板下の剥離層を除去する方法では、先ず、半導体基板1の表面側から剥離層2を介してデバイス3を形成する(図10(a))。そして、デバイス3上にUV(紫外線)キュアエポキシ4を塗布し(図10(b))、上記デバイス3の箇所である残し部6とこの残し部6間で成るエッチング用溝5とを形成する(図10(c))。こうして、剥離層2除去用のエッチング溶液導入用アクセスストリート構造を得る。次に、上記UVキュアエポキシ3側から透明基板等で成る支持板7を張り合わせてチャネルを形成する(図10(d))。そして、このチャネルに、矢印(A)で示すようにエッチング溶液を走らせることによって剥離層2を除去し、半導体基板1からデバイス3をリフトオフする。

【0006】また、上記基板全体をエッチ除去する方法では、図11(a)に示すように、デバイス11が形成されたSOI構造シリコンウエハ12を接着剤13でガラス等の透明絶縁体で成る支持板としての上部基板14に接合する。このウエハをKOH(水酸化カリウム)または同等溶液に入れ、酸化物層15との高い選択比200:1を利用して図11(b)に示すようにシリコン基板16をエッチ除去する。尚、17は、薄いシリコン単結晶フィルムである。

【0007】さらに、上記従来例2には、GeSi(シリシ化ゲルマニウム)を中間エッチストップ層としたシリコン薄膜転写法が開示されている(図12)。このシリコン薄膜転写法においては、図12(a)に示すように、GeSi層21を介してデバイス(TFT)22が形成されたシリコンウエハ23を、図12(b)に示すように、エポキシ接着剤24によってガラスまたは他の基板25にマウントする。そして、KOHに浸漬して、先ずシリコンウエハ23のみに選択エッチを行い、次にGeSi層2

1を別途選択エッチする。

【0008】また、上記従来例2には、上述の基板から支持板への転写と上記支持板からディスプレイパネル基板への転写との2つの転写方法として、UV照射によって剥離する性質を有するUV剥離接着剤をテープの両面に塗布したUV剥離両面テープを上記支持板との接合に使用する方法が開示されている(図13)。この転写方法では、上記支持板からディスプレイパネル基板への転写の場合には、透明支持板26にUV剥離両面テープ27によってデバイス28を転写した後にデバイス28が形成されていた基板を除去して図13(a)の状態にする。そうした後に、図13(b)に示すように、別のUV剥離両面テープ29にデバイス28を当接させて透明支持板26側からUV照射してUV剥離両面テープ27の接着力を低下させて、デバイス28をUV剥離両面テープ29に転写する。または、図13(b')に示すように、エポキシ樹脂30を塗布した基板31上にデバイス28を当接させて、透明支持板26側からUV照射しつつ転写する。

【0009】さらに、上記従来例2には、基板上に密に形成したデバイスを粗に配置し直す転写方法が開示されている(図14)。先ず、図14(a)に示すように、接合剤付きの伸縮性基板35にデバイス36を転写した後に、図14(b)に示すように、各デバイス36毎にデバイス36の間隔と位置とをモニタしながら、伸縮性基板35をX方向へ伸張してX方向のデバイス36の間隔を所定間隔にする。次に、図14(c)に示すように、伸縮性基板35をY方向へ伸張してY方向のデバイス36の間隔を所定間隔にする。そうした後、デバイス36をディスプレイパネル基板(図示せず)に転写する。他の方法として、テープ上のデバイスチップを回転ドラム上の他のテープ上に転がすることによって、機械的にデバイス間隔を変換させる方法も開示されている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の表示用トランジスタアレイパネルの形成方法には、以下のような問題がある。

【0011】すなわち、従来例1では、パネルの高輝度化、高精細化、広視野角化の点で問題がある。すなわち、能動素子(TFT)および受動素子(両素電極、補助電極、電極配線等)を同時に形成した複数枚の単結晶シリコン薄膜を、ガラス基板上に敷き詰めている。ところが、従来の張り合わせ材料や精度では、ダイシング加工精度や接合加工精度の点で張り合わせ箇所の余裕代を目的とする素子ピッチの半分にできない。そのために、各単結晶シリコン薄膜のつなぎ目部における透過光量とつなぎ目以外の箇所における透過光量とが異なることになり、例えば視野角によって表示むら等が発生する。したがって、パネルの輝度、精細度、視野角を確保するのに技術的

に困難なのである。

【0012】また、従来例1および従来例2に開示された単結晶シリコン薄膜に形成されたTFTアレイをパネル用基板上に転写する方法は、単結晶シリコン薄膜上のTFT数とパネル用基板上のTFT数とが1:1の関係に在り、パネル用基板上に直接TFTアレイを作り込む方法に比べて工数が転写プロセス分だけ増加することになり、コストがアップするという問題がある。

【0013】また、従来例2に開示されている基板上に密に形成したデバイスに粗に配置し直す転写方法は、伸縮性基板の伸長時の不動点(支点)がデバイスステップの接着面のどの位置になるかによって、デバイス位置が最小でチップサイズ(≧20μm)だけずれるという本質的な問題を抱えている。そのために、デバイスステップ毎の精密位置制御が不可欠になる。したがって、少なくとも1μm程度の位置合わせ精度が必要な高精細TFTアレイパネルの形成には、TFTデバイスステップ毎の位置計測と制御を含む位置合わせに多大な時間を要する。さらに、熱膨張係数の大きな樹脂フィルムへの転写の場合には、位置決め前後の温度/応力変動によって位置合わせ精度が損なわれ易い。以上の理由から、量産技術として採用することには極めて大きな問題がある。

【0014】そこで、この発明の目的は、製造コストの大幅な削減を可能にする表示用トランジスタアレイパネルの形成方法を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る発明の表示用トランジスタアレイパネルの形成方法は、基板上に、画素の一方向への配列ピッチ dx を2以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を2以上の自然数 n で除した dy/n のピッチで素子を設ける工程と、上記基板上に設けられた素子のうち、上記画素の配列ピッチ dx 、 dy に対応する素子のみを選択的に他の基板上に転写する工程を備えたことを特徴としている。

【0016】上記構成によれば、最終的に表示用トランジスタアレイに形成される画素数の $(m \times n)$ 倍の素子が基板上に設けられている。したがって、上記素子が設けられた1枚の基板から $(m \times n)$ 枚の表示用トランジスタアレイパネルを形成することが可能となり、上記素子を形成する場合のコストが $1/(m \times n)$ に低減される。

【0017】さらに、上記構成によれば、上記素子が設けられた1枚の基板から他の基板上への素子の選択転写を $(m \times n)$ 回繰り返すことによって、上記素子の一方向への配列ピッチが dx であり、他方向への配列ピッチが dy であると共に、上記素子が形成設けられていた基板の大きさの $(m \times n)$ 倍の大きさの上記他の基板が得られる。こうして、上記素子の形成に要する材料費が低減される。

【0018】また、請求項2に係る発明の表示用トラン

ジスタアレイパネルの形成方法は、第1の基板上に、画素の一方向への配列ピッチ dx を2以上の自然数 m で除した dx/m のピッチ、および、他方向への配列ピッチ dy を2以上の自然数 n で除した dy/n のピッチで素子を形成する工程と、上記第1の基板上に形成された素子を第2の基板上に全体転写する工程と、上記第1の基板を除去して上記素子を上記第2の基板上に孤立配列させる工程と、第2の基板上に転写された素子のうち、上記画素の配列ピッチ dx 、 dy に対応する素子のみを選択的に表示用トランジスタアレイ用の第3の基板上に転写する工程を備えたことを特徴としている。

【0019】上記構成によれば、最終的に表示用トランジスタアレイ用の第3の基板上に形成される画素数の $(m \times n)$ 倍の素子が、第1の基板上に形成されている。したがって、上記素子が形成された1枚の第1の基板から $(m \times n)$ 枚の第3の基板を形成することが可能となり、上記第1の基板上への素子形成コストが $1/(m \times n)$ に低減される。

【0020】また、請求項3に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子が選択転写される基板上の位置には、上記素子が嵌合される凹部が形成されていることを特徴としている。

【0021】上記構成によれば、上記素子が選択転写される基板上の位置には凹部が形成されているので、上記凹部に接着剤層を形成することによって、上記素子の選択転写が更に容易に行われる。

【0022】また、請求項4に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子が選択転写される基板上の位置には、接着剤層が選択的に形成されていることを特徴としている。

【0023】上記構成によれば、上記素子が選択転写される基板上の位置に接着剤層が選択的に形成されているので、上記素子の選択転写が更に容易に行われる。

【0024】また、請求項5に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子は順スタガ型のTFTであることを特徴としている。

【0025】上記構成によれば、基板上への順スタガ型TFTの形成コストが $1/(m \times n)$ に低減される。

【0026】また、請求項6に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイパネルの形成方法において、上記素子は逆スタガ型のTFTであることを特徴としている。

【0027】上記構成によれば、上記基板上への逆スタガ型TFTの形成コストが $1/(m \times n)$ に低減される。

【0028】また、請求項7に係る発明は、請求項1あるいは請求項2に係る発明の表示用トランジスタアレイ

パネルの形成方法において、上記素子はコプレーナ型の

TFTであることを特徴としている。

【0029】上記構成によれば、上記基板上へのコプレーナ型TFTの形成コストが $1/(m \times n)$ に低減される。

【0030】また、請求項8に係る発明は、請求項5乃至請求項7の何れか一つに係る発明の表示用トランジスタレイパネルの形成方法において、上記素子は配線交差部をも含んでいることを特徴としている。

【0031】上記構成によれば、上記基板上への配線交差部をも含むTFTの形成コストが $1/(m \times n)$ に低減される。

【0032】また、請求項9に係る発明は、請求項2に係る発明の表示用トランジスタレイパネルの形成方法において、上記第1の基板はシリコン基板であることを特徴としている。

【0033】上記構成によれば、上記第1の基板はシリコン基板であるから上記素子を高密度に形成できる。したがって、上記自然数 m, n を容易に大きくすることが可能となり、上記第1の基板上への素子形成コストが大幅に低減される。

【0034】また、請求項10に係る発明は、請求項2に係る発明の表示用トランジスタレイパネルの形成方法において、上記第1の基板はガラス基板であることを特徴としている。

【0035】上記構成によれば、上記第1の基板はガラス基板であるから、大型の第1の基板の形成が可能となり、大型の表示用トランジスタレイパネルが容易に形成される。

【0036】また、請求項11に係る発明は、請求項2に係る発明の表示用トランジスタレイパネルの形成方法において、上記第1の基板上の素子の上記第2の基板上への転写は、光によって接着力が低下する接着剤によって行い、上記第2の基板上の素子の上記第3の基板上への選択転写は、上記第2の基板の裏面から上記画素の配列ピッチ dx, dy に対応する素子の箇所への光照射によって転写の対象となる素子のみを選択的に上記第2の基板から剥離することによって行うことを特徴としている。

【0037】上記構成によれば、光によって接着力が低下する接着剤の塗布および上記第2の基板の裏面からの光の選択照射という簡単な方法によって、上記第2の基板上の素子の上記第3の基板上への選択転写が行われる。

【0038】また、請求項12に係る発明は、請求項2に係る発明の表示用トランジスタレイパネルの形成方法において、上記第1の基板上にフッ化水素酸に対して耐性を有する透明絶縁膜を形成し、この透明絶縁膜上に上記素子を形成することを特徴としている。

【0039】上記構成によれば、上記第1の基板の除去に際して、エッチャントとしてフッ化水素酸が使用され

た場合に、フッ化水素酸に対して耐性を有する透明絶縁膜の存在によって上記素子が保護される。

【0040】また、請求項13に係る発明は、請求項12に係る発明の表示用トランジスタレイパネルの形成方法において、上記フッ化水素酸に対して耐性を有する透明絶縁膜は、酸化タンタル膜あるいはダイヤモンド膜の何れ一方であることを特徴としている。

【0041】上記構成によれば、上記第1の基板除去用のエッチャントとしてフッ化水素酸が使用された場合に、酸化タンタル膜あるいはダイヤモンド膜の何れ一方の存在によって上記素子が確実に保護される。

【0042】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

【0043】<第1実施の形態>図1および図2は、本実施の形態の表示用トランジスタレイパネルの形成方法における手順を示す図である。本実施の形態においては、第1の基板としてシリコン(Si)基板を用いている。

【0044】図1(a)に示すように、上記第1の基板としてのSi基板41上に透明絶縁膜としてSi酸化膜42を形成した後、i線スパッタを用いたフォトリソセスを含む公知の素子形成プロセスを行って、TFT素子43を素子分離溝44を隔てて所定のピッチで形成する。ここで、上記ピッチは、目的とする表示用トランジスタレイパネルの画素ドットの配列ピッチ dx, dy を、「2」以上の自然数 m, n で除した値 $dx/m, dy/n$ である。また、形成するTFT素子43は、例えばTFTと周辺電極配線の一部を含むものであるが、画素電極は含まない。尚、形成するTFTの構造については後に詳述する。

【0045】次に、図1(b)に示すように、上記TFT素子43側にUV剥離樹脂46を塗布し、第2の基板である光透過性基板としてのガラス基板45を張り付ける。ここで、UV剥離樹脂46としては、シリコン(メタ)アクリレート添加のアクリル系樹脂や紫外線照射で接着力が低下するUV硬化型接着剤等を用いる。次に、図1(c)に示すように、Si基板(第1の基板)41をKOHでエッチング除去した後に、TFT素子分離溝44の箇所のSi酸化膜42に対してTFT素子分離エッチングを行って個々のTFT素子43を孤立した状態にする。

【0046】次に、図1(d)に示すように、TFTパネル用の第3の基板であるガラス基板47に接着樹脂48を塗布したものを、アライメントを行いつつガラス基板(第2の基板)45に近接させる。そして、フォトリソ49を用いて、接着樹脂48における転写の対象となる(後に画素を構成する)TFT素子43の箇所に位置する部分を紫外線50を照射して半硬化させて接着性を高め、その半硬化部分51を転写対象のTFT素子43に

押し付けてガラス基板(第3の基板)47を貼り合わせる。尚、接合樹脂48としては、例えばアクリレート系のUV硬化樹脂やUV硬化エポキシ系樹脂等を用いる。

【0047】また、上記第3の基板を貼り合わせる方法として、図2(d)に示す方法を用いても差し支えない。すなわち、第3の基板55における転写対象のTFT素子43の箇所に位置する部分を、例えばCF₄やCHF₃を用いたドライエッチ(RIE)によって、TFT素子43のチップが入るサイズの凹部56を形成し、この凹部56のみに予め接合樹脂57を塗布しておく。そして、凹部56に転写対象のTFT素子43を嵌合して第3の基板55を貼り合わせるのである。

【0048】次に、図2(e)に示すように、フォトマスク61を用いて、ガラス基板45(第2の基板：光透過性基板)側から、UV剥離樹脂46における転写対象のTFT素子43の箇所の部分に紫外線62を選択的に照射して、UV剥離樹脂46の接着力を低下させてTFT素子43との密着性を低減させる。

【0049】以上の処理によって、上記転写対象のTFT素子43は隣接しているTFT素子43とは孤立しており、ガラス基板(第2の基板)45との間のUV剥離樹脂46は接着力が低下している。したがって、図2(f)に示すように、パネル用のガラス基板(第3の基板)47に転写対象のTFT素子43のみが移し取られる(転写接合)される。そして、未露光のTFT素子43は、ガラス基板(第3の基板)47に転写接合されない。尚、未露光の接合樹脂48は選択転写後に除去しておく。

【0050】最後に、受動素子部形成プロセスを行う。この受動素子部形成プロセスでは、図3に示すように、上記パネル用のガラス基板(第3の基板)47上に画素ドットの配列ピッチdx、dyで転写接合されたTFT素子43に、データ信号線65に接続するためのソース電極配線66、走査信号線67に接続するためのゲート電極配線68およびドレイン電極配線69を配線する。さらに、ドレイン電極配線69に接続される液晶駆動用の画素電極70を形成する。その場合の配線間絶縁膜として、例えばポリイミド膜を用いる。そして、上述の図1(c)におけるTFT素子分離エッチング等の際にTFT素子43を保護するためにTFT素子43を覆って形成されている例えばSi酸化膜(図示せず)に、電極接続用のコンタクトホールを穴あけエッチングで形成する。そして、ガラス基板(第3の基板)47上のデータ信号線65や走査信号線67とTFT素子43の電極との接続等を行う。

【0051】こうして、図4に示すような表示用トランジスタアレイパネルが形成される。尚、71はカラーフィルタガラス基板であり、72はRGBのカラーフィルタである。また、上記配線65～69および画素電極70は、TFT素子43が転写接合される前に、予めガラス基板(第3の基板)47上に形成しておいても構わな

い。

【0052】従来より、表示用トランジスタアレイパネルに採用されているTFT素子の構造として、順スタガ構造、逆スタガ構造およびコプレーナ構造の3種類がある。図5は順スタガTFTの構造の一例を示し、図5(a)は断面図であり、図5(b)は平面図である。順スタガTFTでは、ゲート電極81が、ソース電極82下のオーミック・コンタクト層83とドレイン電極84下のオーミック・コンタクト層85とに接続するチャネル層86の上側に、ゲート絶縁膜87を介して形成されている。尚、89は、上記選択転写後の配線プロセスにおいてSi酸化膜88に形成されるゲート電極71に対するコンタクトホールである。同様に、90はソース電極82に対するコンタクトホールであり、91はドレイン電極84に対するコンタクトホールである。

【0053】また、図6は、上記逆スタガTFTの構造の一例の断面図を示す。逆スタガTFTでは、ゲート電極101が、ソース電極102とドレイン電極103とに接続するチャネル層104の下側に、ゲート絶縁膜105及び金属酸化膜106を介して形成されている。

尚、107、108はオーミック・コンタクト層であり、110はSi酸化膜109に形成されたソース電極102に対するコンタクトホールであり、111はドレイン電極103に対するコンタクトホールである。

【0054】また、図7は、上記コプレーナTFTの構造の断面図を示す。コプレーナTFTでは、ゲート電極121が、ソース電極122とドレイン電極123とを接続するオーミック・コンタクト層124の中間部に形成されるチャネル層125の上側に、ゲート絶縁膜126を介して形成されている。尚、128はSi酸化膜127に形成されたソース電極122に対するコンタクトホールであり、129はドレイン電極123に対するコンタクトホールである。

【0055】上記順スタガTFT、逆スタガTFTおよびコプレーナTFTの何れの場合にも、ガラス基板(第2の基板)45への全体転写後におけるNaOH(水酸化ナトリウム)あるいはKOHをエッチャントとしたSi基板(第1の基板)41への選択エッチングを行う際に、上記エッチャントに耐性のあるSi酸化膜42でTFTが保護される構成になっている。したがって、何れの構成の場合も、本実施の形態の表示用トランジスタアレイパネルの形成方法が適用可能である。尚、上記保護膜42は、Si酸化膜に限定されるものではなく、第1の基板に対する選択エッチング時に使用されるエッチャントに対して耐性を有する膜であればよい。例えば、第1の基板がガラス基板である場合には、エッチャントとしてのフッ化水素酸に対して耐性を有する酸化タンタル膜あるいはダイヤモンド膜を上記保護膜として上記ガラス基板とTFTとの間に形成すればよい。尚、上記保護膜は、上記第1の基板とTFTとの間のみならず、図5～図7

に示すように、TFTの表面および側面にも形成することが望ましい。

【0056】尚、図8は、図6に示す逆スタガTFTにおけるソース電極102に接続されたソース電極配線115とゲート電極配線116との交差部115の断面図である。このようなソース電極配線115とゲート電極配線116との交差部115も、TFT素子43に含めて、第3の基板47上に選択転写することが可能である。

【0057】上述のように、本実施の形態においては、Si基板で成る第1の基板41上にTFT素子43を素子分離溝44を隔ててピッチ dx/m 、 dy/n で形成する。ここで、 dx 、 dy は画素ドットの配列ピッチであり、 m 、 n は「2」以上の自然数である。そして、TFT素子43側にUV剥離樹脂46で第2の基板45を張り付けた後、第1の基板41をエッチング除去し、TFT素子分離エッチングを行って各TFT素子43を分離させる。そして、第3の基板47に接着樹脂48で転写対象のTFT素子43のみを選択的に接合させ、第2の基板45側から転写対象のTFT素子43の箇所に紫外線62を選択的に照射してUV剥離樹脂46の接合力を低下させて、転写対象の(つまり、画素を構成する)TFT素子43のみを第3の基板47に選択転写するのである。

【0058】したがって、上記第2の基板45上のTFT素子43のピッチ dx/m 、 dy/n の第3の基板47上でのピッチ dx 、 dy への拡大を、従来例2の如く伸縮性基板を用いる転写方法に比して正確に行うことができる。したがって、1枚の第2の基板45を用いて、この第2の基板45から第3の基板(パネル用基板)47への選択転写を、第2の基板45を x 方向へ dx/m あるいは y 方向へ dy/n だけ移動させながら($m \times n$)枚の第3の基板47に対して行うことによって、第1の基板41を1枚作成すれば、($m \times n$)枚のパネル用基板47に対して同一の選択転写を行うことができる。すなわち、本実施の形態によれば、第1の基板41上にTFT素子43を形成するコストを概略 $1/(m \times n)$ にできる。

【0059】このように、本実施の形態によれば、表示用トランジスタレイパネルとして必要な画素数の m 、 n 倍のTFT素子を第1の基板41上に形成することが可能となる。したがって、必要画素数と第1の基板上のTFT素子数とが同数の従来の表示用トランジスタレイパネルの形成方法に比して、第1の基板41に形成するTFT素子密度を10倍～100倍にできる。したがって、表示用トランジスタレイパネル製造設備におけるイニシャルコストの約30%を占める成膜工程設備および約26%を占めるフォトリソ工程設備のスループットを、実質的に10倍～100倍程度向上させることができる。また、TFT素子43の形成に要する材料費も1/10～1/100に低減できる。結果として、表示用ト

ランジスタレイパネルの製造コストの大幅な削減が可能となるのである。

【0060】ところで、上記第1の基板41としてSi基板を用いた場合には、基板サイズに制限があるもののTFT素子を高密度に形成できる。そこで、以下のようにして、上記基板サイズの制限を超えたサイズの第3の基板47を形成することができる。すなわち、TFT素子43が高密度で形成されたSi基板(第1の基板)41を複数枚形成する。そして、この複数枚のSi基板(第1の基板)41の位置をずらして第2の基板45に全体転写することによって、TFT素子43が高密度で転写された(つまり、自然数 m 、 n が大きい)第2の基板45を形成するのである。

【0061】上記ガラス基板(第2の基板)45に、複数枚のSi基板(第1の基板)41上のTFT素子43を転写する場合には、図1(a)～図1(c)に示す第1の基板41から第2の基板45への転写プロセスに従って、1枚の第1の基板41毎にアライメントしつつ第1の基板41の枚数だけ転写を繰り返して行えばよい。こうすることによって、複数枚の第1の基板41上のTFT素子43を10 μ m以下の間隔で第2の基板45上に転写することが可能となる。従来例1の如く、複数枚の第1の基板を第2の基板上に敷き詰める方法の場合には、第1の基板形成時のダイシング加工精度や第2の基板への接着加工精度の点で、各素子を10 μ m以下の間隔で配列することは一般には困難である。ところが、本実施の形態の場合には、第1の基板41の枚数だけ第2の基板45への転写を繰り返せば、TFT素子43を10 μ m以下の間隔で第2の基板45上に配列することは簡単にできるのである。

【0062】上述の場合、上記第1の基板41から第2の基板45への全体転写の回数が増加する。しかしながら、TFT素子43は高密度に形成されているために自然数 m 、 n の値は大きく、1枚の第2の基板45から多数の第3の基板47を形成できる。したがって、上記全体転写によるコストアップを埋めて、尚且つコストダウンを図ることができるのである。

【0063】尚、上記実施の形態においては、紫外線に対するUV剥離樹脂の性質を利用して選択転写を行っている。しかしながら、この発明はこれに限定されるものではなく、例えば、転写側の基板の一方側、他方側あるいは両側からの静電引力や電磁力を利用して選択転写を行っても差し支えない。

【0064】＜第2実施の形態＞図9は、本実施の形態の表示用トランジスタレイパネルの形成方法における手順を示す図である。本実施の形態においては、第1の基板としてガラス基板を用いている。

【0065】図9(a)に示すように、上記第1の基板としてのガラス基板131上に、例えばSi膜132とSi酸化膜(あるいはSi酸化物)133との2層構造で成る